

Initiale Fragen und Statements zur Diskussion: Quo vadis FPGAs im HPC-Umfeld

Sammlung aus dem Teilnehmendenkreis

13. März 2026



FPGA-HLS-Werkzeuge funktionieren größtenteils gut, wenn man sie mit CPU Programmierung mit Intrinsics und händischem Cache-Blocking vergleicht. Der große Vorteil der Software-Seite ist, dass sie durch Verwendung von optimierten Bibliotheken Performanz und Produktivität kombinieren kann.

Die offene Frage ist, ob und wie es ein FPGA-HLS-Äquivalent dazu geben kann.

- *Programmierbarkeit von FPGAs ist die größte Hürde.*
- *HLS verspricht zwar eine Lösung, benötigt aber entgegen aller Marketingversprechen trotzdem Experten.*
- *HLS hat massive Performanceeinbußen.*
- *Damit FPGAs im bereit im HPC-Umfeld eingesetzt werden fehlt mindestens eine Killeranwendung, welche den Einsatz von FPGAs effizienter macht.*
- *Es besteht großer Forschungsbedarf bei der Frage welche Anwendungen gut für FPGAs geeignet sind.*

“FPGAs.” — “What?”

“Field programmable gate arrays that are cool programmable chips.” — “I see! Programmable. Great. I have programming skills. So, this should be an easy task for me.”

“Well, not really, but I can help you.”

Aus Koch, Hannig, Ziener: *FPGAs for Software Programmers* (2016).

Sind Low- und High-Level-Hardwarebeschreibungssprachen (HDL- und HLS-Sprachen) überhaupt für die Verwendung im HPC-Umfeld sinnvoll?

FPGAs werden seit den 1990er Jahren als vielversprechende Zukunftstechnologie für Computing gepriesen. Seither wird debattiert, ob diese Zukunft bereits eingetreten ist, noch bevor steht oder ob FPGAs ihren Zenit bereits hinter sich haben.

Was ist die Meinung des Publikums?

Sind Overlays die Zukunft?

Sind Overlay-Architekturen geeignet, um einen breiten Einsatz von FPGAs im HPC-Umfeld zu erreichen?