

FPGAs in (High Performance) Computing... Quo vadis?

13. März 2026

Steffen Christgau, Benno Stabernack, Thomas Steinke, Bettina Schnor

Zuse-Institut Berlin, Fraunhofer Heinrich-Hertz-Institut, Universität Potsdam

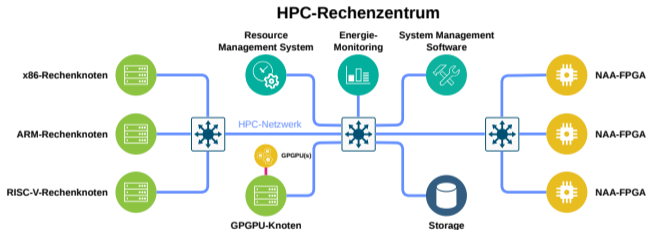


Willkommen



NAAICE-Projekt (ZIB, HHI, U Potsdam, GFZ Potsdam, Perfact GmbH):

- Idee: FPGA von Trägersystem lösen, direkt mit HPC-Netzwerk verbinden, Beschleuniger mittels SYCL (oneAPI) programmieren



- Ernüchternde Erfahrungen im Projektverlauf
- Im Antrag: Abschlussworkshop → stattdessen: **Community-Workshop**

- 26 Anmeldungen, 11 Einrichtungen
- kurze Vorstellungsrunde
- Workshop-Organisation: ZIB (NHR@ZIB), HHI, UP (GI-Mitglieder/FG PARS)
- Werbung: jährlicher Workshop der GI-Fachgruppe PARS, Plattform für Nachwuchs (keine GI-Mitgliedschaft notwendig)
Voraussichtlich: 17./18.9., Innsbruck, Österreich.
- Informiert, aber verhindert/keine Anmeldung:
 - Andreas Koch (Darmstadt)
 - Dirk Koch (Heidelberg)
 - Holger Fröning (Heidelberg)
 - Michael Philippsen (FAU)
 - Viktor Achter (Köln)
 - Altera, AMD, BMFTR, Projektträger VDE/VDI, DLR-PT



9:00 Begrüßung mit kurzer Vorstellungsrunde

9:15 Kick-Off-Vorträge

10:00 Kaffeepause

10:20 Eingeladene Vorträge I (20 Min. Vortrag + 5 Min. Q&A)

- Auf der FPGA-Achterbahn: Zehn Jahre im produktiven HPC-Betrieb
- From Code to Accelerating AI: HLS and FPGA Overlays
- TaPaSCo: Open-Source FPGA Tooling – Made in Germany
- The ease of using FPGAs: Overlay architectures and rapid prototyping frameworks

12:00 Mittagspause

13:00 Eingeladene Vorträge II

- The HERA Methodology: CG Reconfigurable Logic for General Purpose Computing
- FPGAs and Picojoules: A Tale of Love and Hate

13:50 Diskussion: "Quo Vadis?"

16:00 Ende des Workshops

Offene Diskussion mit Anreizen aus den verteilten Eingangsstatements/Fragen

Idealerweise mit Ergebnis: Papier mit Standpunkten und neuen Forschungsansätzen

- Verteilung bei BMFTR, PTs, ...
- Publikation in den PARS-Mitteilungen/Vorstellung auf Workshop, GI-Medien